



(51) Internationale Patentklassifikation 7 : G06F 13/40		A1	(11) Internationale Veröffentlichungsnummer: WO 00/52589
(21) Internationales Aktenzeichen: PCT/DE00/00276		(43) Internationales Veröffentlichungsdatum: 8. September 2000 (08.09.00)	
(22) Internationales Anmeldedatum: 1. Februar 2000 (01.02.00)		(81) Bestimmungsstaaten: CN, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(30) Prioritätsdaten: 199 08 414,9 26. Februar 1999 (26.02.99) DE		Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): FUJITSU SIEMENS COMPUTERS GMBH [DE/DE]; Otto-Hahn-Ring 6, D-81739 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): STOEß, Annie [FR/DE]; Adlfurt 8, D-83043 Bad Aibling (DE), SCHACHTNER, Johann [DE/DE]; Oedensstockacherstrasse 1, D-85640 Putzbrunn (DE), ZIEMANN, Wolfgang [DE/DE]; Tulpen- weg 3, D-85635 Höhenkirchen-Siegertsbrunn (DE).			
(74) Anwalt: EPPING HERMANN & FISCHER; Postfach 12 10 26, D-80034 München (DE).			
(54) Title: OPTIMISED BUS CONNECTION FOR MANAGING BUS TRANSACTIONS			
(54) Bezeichnung: OPTIMIERTER BUSANSCHLUSS ZUR ÜBERNAHME VON BUSTRANSAKTIONEN			
(57) Abstract			
<p>The invention relates to a bus connection for optimising the mode of operation of processor systems. Said bus connection divides up bus transactions essentially according to whether they are to be processed in strictly logical or non-strictly logical order. Later, the transactions are arranged serially again for reprocessing, with the characteristic that in certain cases, the transactions which do not have to be processed in strictly logical order are given priority over the transactions which do have to be processed in strictly logical order. The processor system gains time and is more efficient as a result.</p>			
(57) Zusammenfassung			
<p>Zur Optimierung der Arbeitsweise von Prozessorsystemen wird ein Busanschluss vorgeschlagen, der eine Aufspaltung von Bustransaktionen im wesentlichen in Transaktionen, die in streng logischer und die in nicht streng logischer Reihenfolge abzuarbeiten sind, vornimmt. Später werden die Transaktionen für eine Weiterverarbeitung wieder in einer seriellen Weise aneinander gereiht mit der Besonderheit, dass in gegebenen Fällen nicht in streng logischer Reihenfolge abzuarbeitende Transaktionen in streng logischer Reihenfolge abzuarbeitende Transaktionen vorgezogen sind. Das Ergebnis ist ein Zeit- und damit ein Leistungsgewinn für das Prozessorsystem.</p>			